

BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-307060

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

H01L 27/02

H03F 3/60

(21)Application number : 08-121314

(71)Applicant : NEC ENG LTD

(22)Date of filing : 16.05.1996

(72)Inventor : SATO KAZUMI

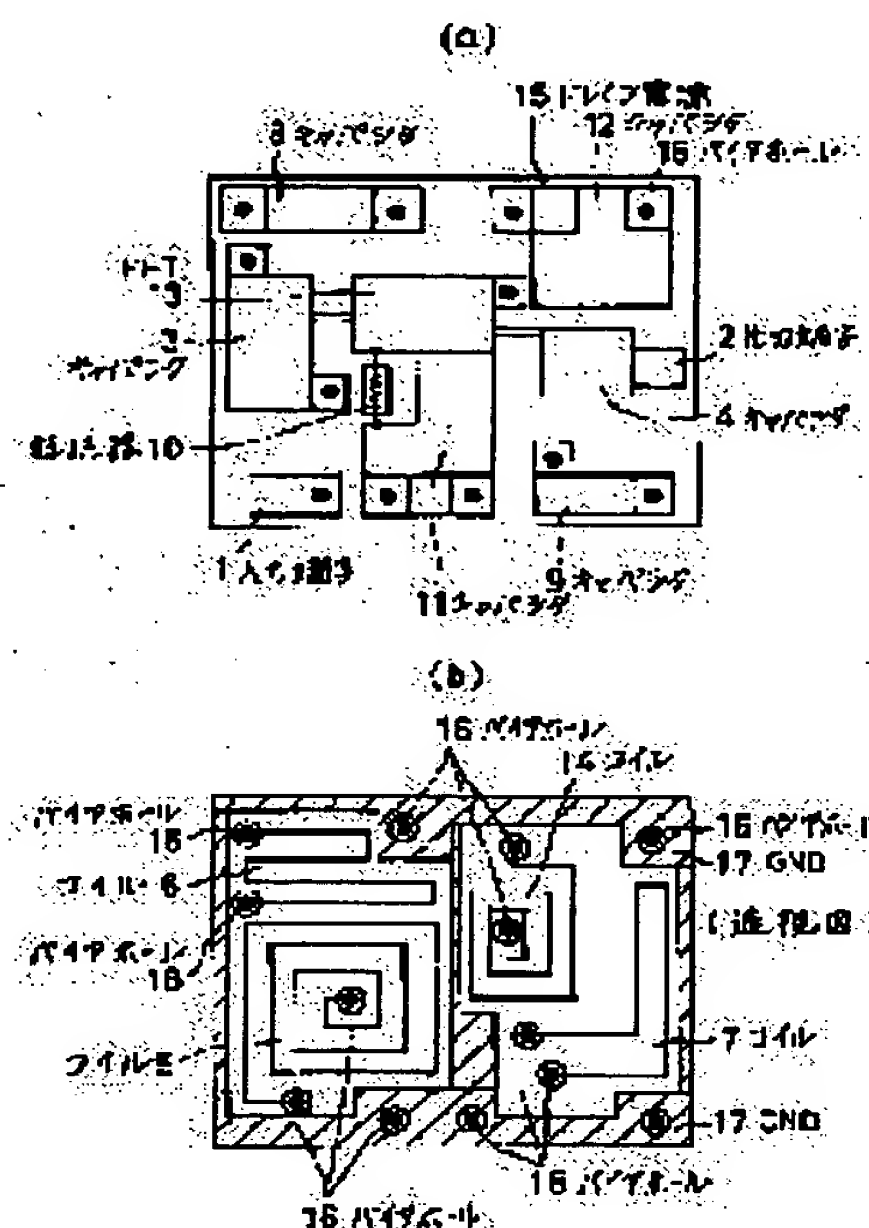
NAGAI TOSHIYUKI

## (54) MICROWAVE SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To minimize the area of a gallium arsenide substrate for a microwave integrated semiconductor circuit.

SOLUTION: An input terminal 1, an output terminal 2, blocking capacitors 3 and 4, matching capacitors 8 and 9, a gate bias voltage resistor 10, by-pass capacitors 11 and 12 for high-frequency, a field-effect transistor 13, a drain power supply terminal 15 and so on are arranged on the face of a gallium arsenide substrate. Matching coils 5-7, a high-frequency blocking coil 14 and a ground pad 17 are arranged on the back. The face and the back of the gallium arsenide substrate are connected through via holes 16.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-307060

(43)公開日 平成9年(1997)11月28日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/02

H 0 1 L 27/02

H 0 3 F 3/60

H 0 3 F 3/60

審査請求 未請求 請求項の数 2 O L (全 3 頁)

(21)出願番号 特願平8-121314

(22)出願日 平成8年(1996)5月16日

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72)発明者 佐藤 和美

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

(72)発明者 永井 敏幸

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

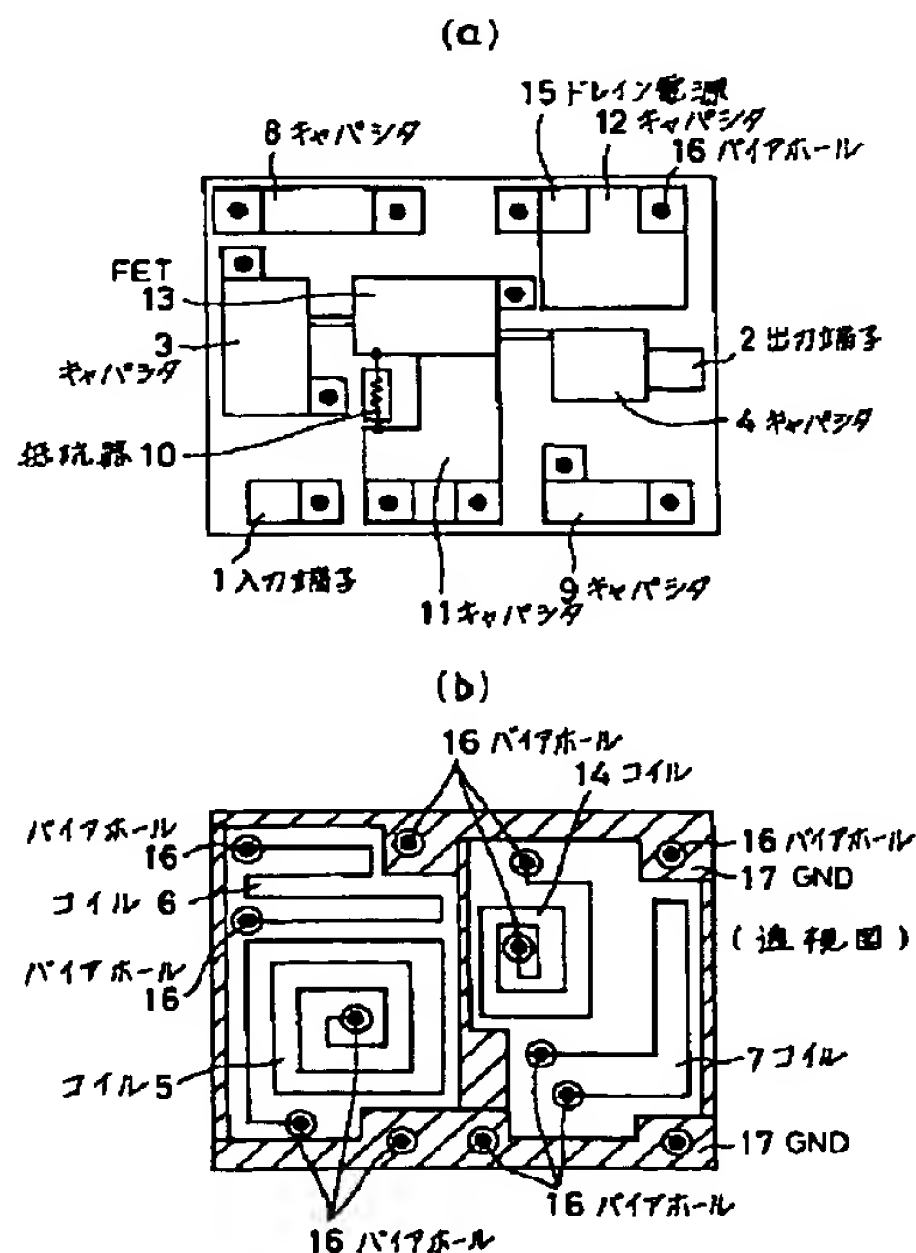
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 マイクロ波半導体集積回路

(57)【要約】

【課題】 マイクロ波半導体集積回路において、ガリウム砒素基板の面積を最小にする。

【解決手段】 入力端子1、出力端子2、直流阻止用キャパシタ3~4、マッチング用キャパシタ8~9、ゲートバイアス電圧発生用抵抗器10、高周波バイパス用キャパシタ11~12、FET13、ドレイン電源端子15等をガリウム砒素基板表面に配置し、マッチング用コイル5~7、高周波阻止用コイル14とGNDパッド17を裏面に配置し、ガリウム砒素基板表面と裏面はバイアホール16により接続する。



## 【特許請求の範囲】

【請求項1】 マイクロ波半導体集積回路であつて、半導体基板と、この半導体基板表面に形成された半導体素子、入出力端子、キャパシタ、抵抗器と、前記半導体基板裏面に形成されたコイル、GNDパッドと、前記半導体基板の表面、裏面間を接続するバイアホールとを含むことを特徴とするマイクロ波半導体集積回路。

【請求項2】 前記半導体基板としてガリウム砒素基板を用いることを特徴とする請求項1記載のマイクロ波半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はマイクロ波半導体集積回路に関し、特にガリウム砒素基板を使用したマイクロ波半導体集積回路に関する。

## 【0002】

【従来の技術】 無線通信用マイクロ波モノリシック集積回路（以下MMICと記す）の小型化と高性能化のため、ガリウム砒素（GaAs）基板の上に電界効果トランジスタ（以下FETと記す）の他、キャパシタ、抵抗器、インダクタ（コイル）、及び伝送ライン等を形成して、回路全体を構成することが行われる。

【0003】 従来例えば、図2に示すような回路をガリウム砒素基板上に構成しようとする場合、図3に示すような構成部品配置となる。図3（a）は表面の、（b）は裏面の部品配置を示すが、説明の都合上（b）は透視図（裏面図をそのままの形で記すと、表面図とは左右が逆になるのでわかりにくくなる）の形で記している。

【0004】 尚、図2と図3とにおいては同等部分は同一符号により示している。

【0005】 図3においては、入力端子1、出力端子2、直流阻止キャパシタ3～4、マッチング用コイル5～7、マッチング用キャパシタ8～9、ゲートバイアス発生用抵抗器10、高周波バイパス用キャパシタ11～12、FET13、高周波阻止用コイル14、ドレイン電源端子15等をすべてガリウム砒素基板の表面に配置し、裏面にはGND（接地）パッド（金メッキ）17のみが設けられ、表面と裏面の接続は、バイアホール16によって行われる。

## 【0006】

【発明が解決しようとする課題】 図3に示す従来例の場合、コイル5～7及び14がガリウム砒素基板の大きな面積を占めている他、図4の部分詳細図に示すように、第一層配線19と第二層配線20との間に配線がクロスする部分（破線で示す）が発生して、第一層配線19と第二層配線20の二層の配線が不可避となる。しかし、二層の配線間は間隔が狭いので、配線クロス部によけいな配線間浮遊容量が発生し、コイル（インダクタ）の自己共振周波数を低下させることにもなる。

【0007】 従って、ガリウム砒素基板の小型化と高性

能化をはかるためには、コイル（インダクタ）の処理が重要となる。

【0008】 本発明の目的は、ガリウム砒素基板の面積を最小にした、マイクロ波半導体集積回路を提供することである。

## 【0009】

【課題を解決するための手段】 本発明によるマイクロ波半導体集積回路は、マイクロ波半導体集積回路であつて、半導体基板と、この半導体基板表面に形成された半導体素子、入出力端子、キャパシタ、抵抗器と、前記半導体基板裏面に形成されたコイル、GNDパッドと、前記半導体基板の表面、裏面間を接続するバイアホールとを含むことを特徴とする。

## 【0010】

【発明の実施の形態】 本発明の作用は次の通りである。インダクタ素子（コイル）をガリウム砒素基板の裏面に形成することにより、MMICの小型化をはかる。

【0011】 以下に、本発明の実施例について図面を参照して説明する。

【0012】 図1は本発明によるマイクロ波半導体集積回路の実施例の構成を示す部品配置図であり、図2～3と同等部分は同一符号にて示している。なお、重複する説明は省略する。

【0013】 図1（（a）はガリウム砒素基板の表面図、（b）は裏面図で、図3同様裏面図は透視図になっている）において、入力端子1、出力端子2、直流阻止用キャパシタ3～4、マッチング用キャパシタ8～9、ゲートバイアス電圧発生用抵抗器10、高周波バイパス用キャパシタ11～12、FET13、ドレイン電源端子15等をガリウム砒素基板表面に配置し、マッチング用コイル5～7、高周波阻止用コイル14とGNDパッド17を裏面に配置し、ガリウム砒素基板表面と裏面はバイアホール16により接続する。

【0014】 その結果、配線クロス部がなくなり、コイルの自己共振周波数を低下させることもなく、第一層配線19と第二層配線20の二層の配線もなくなり、ガリウム砒素基板の面積を約1/2に減少させることができた。

【0015】 例えば、コイルのインダクタンスを10nH、配線クロス部で発生する浮遊容量を0.2pFと仮定すると、コイルの自己共振周波数は3.56GHzとなり、それ以上の高い周波数では10nHのコイルを使用できないこととなって、0.2pFといえども浮遊容量は決して無視できない。従って、配線クロス部がなくなることはきわめて重要である。

## 【0016】

【発明の効果】 以上説明したように本発明は、ガリウム砒素基板の大きさを大幅に減らすことができる効果があるとともに、コイル類の自己共振周波数を低下させない効果がある。

## 【図面の簡単な説明】

【図1】本発明の実施例の部品配置図である。

【図2】本発明の実施例の関連する増幅器回路図である。

【図3】従来のマイクロ波半導体集積回路の一例の部品配置図である。

【図4】図3の部分拡大図である。

## 【符号の説明】

1 入力端子

2 出力端子

3, 4, 8, 9, 11, 12 キャパシタ

5~7, 14 コイル (インダクタ)

10 抵抗器

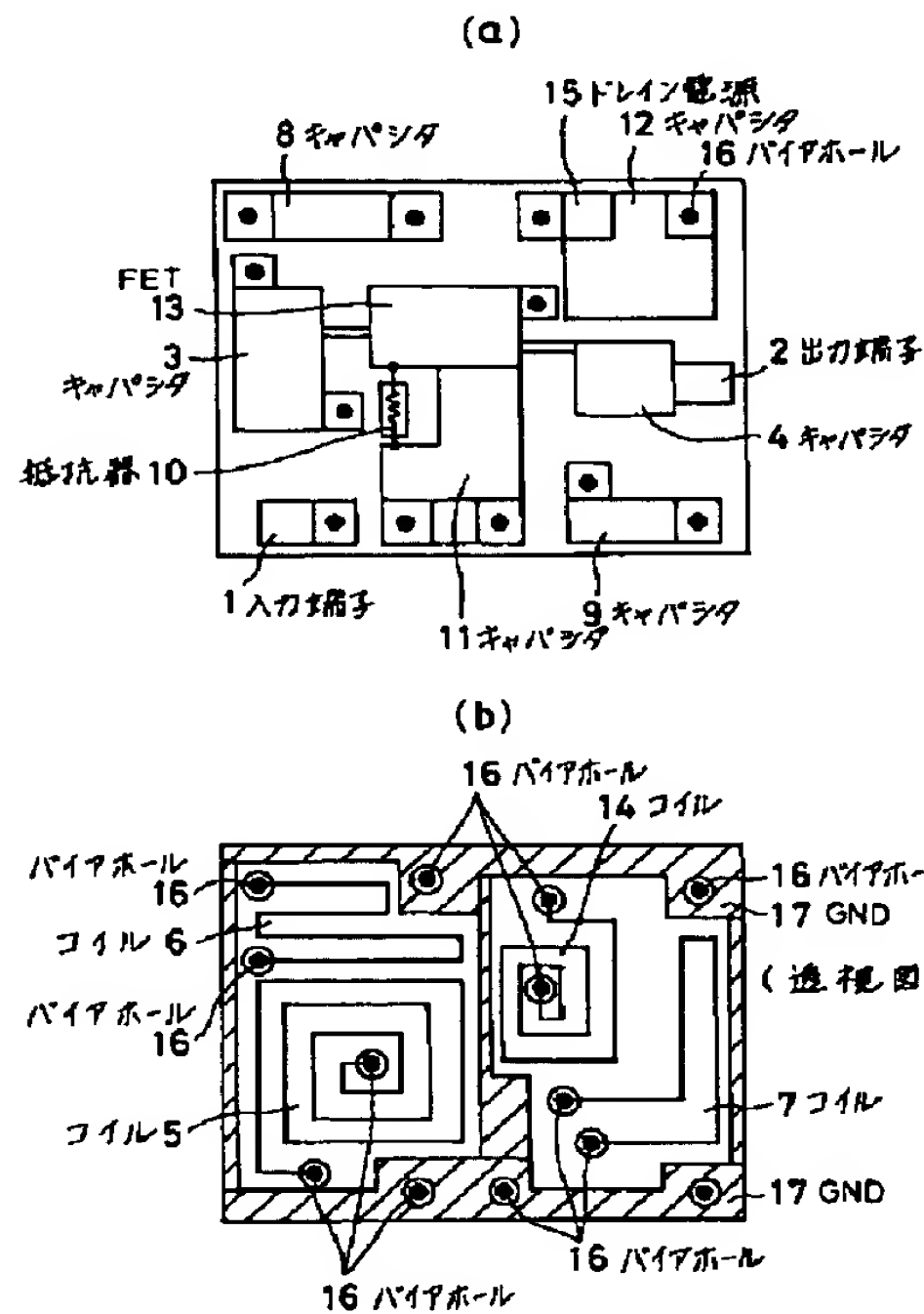
13 FET

15 ドレイン電源端子

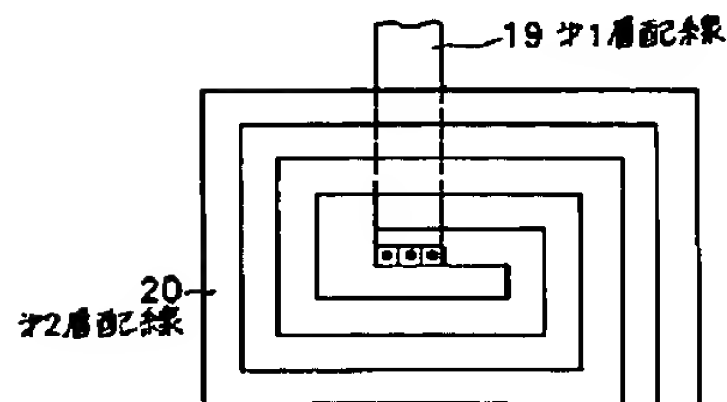
16 バイアホール

17 GNDパッド

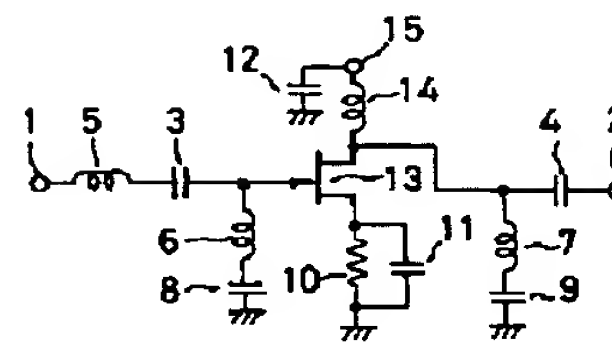
【図1】



【図4】



【図2】



【図3】

